



02 D 51 P. Paper
PATENT
2185-408P
10/4/00

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Kazumasa HIRAMATSU et al.
Appl. No.: 09/522,707 Group: UNASSIGNED
Filed: March 10, 2000 Examiner: UNASSIGNED
For: III-V COMPOUND SEMICONDUCTOR

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

April 11, 2000

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	11-066743	March 12, 1999
JAPAN	11-236979	August 24, 1999
JAPAN	2000-033293	February 10, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 

Andrew D. Meikle, #32,868

ADM/scd
2185-408P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment



日 本 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 8 月 2 4 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 2 3 6 9 7 9 号

出 願 人

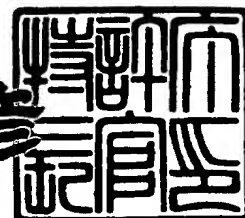
Applicant (s):

住友化学工業株式会社

1 9 9 9 年 1 0 月 8 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 平 1 1 - 3 0 6 7 9 - 2 5

【書類名】 特許願

【整理番号】 P150652

【特記事項】 特許法第 3 0 条第 1 項の規定の適用を受けようとする特
許出願

【提出日】 平成11年 8月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/20
H01L 33/00

【発明の名称】 3 - 5 族化合物半導体

【請求項の数】 7

【発明者】

 【住所又は居所】 三重県四日市市芝田 1 - 4 - 2 2

 【氏名】 平松 和政

【発明者】

 【住所又は居所】 三重県久居市野村町 3 7 2 番地 3 0 3

 【氏名】 三宅 秀人

【発明者】

 【住所又は居所】 茨城県つくば市北原 6 住友化学工業株式会社内

 【氏名】 前田 尚良

【発明者】

 【住所又は居所】 茨城県つくば市北原 6 住友化学工業株式会社内

 【氏名】 家近 泰

【特許出願人】

 【識別番号】 000002093

 【氏名又は名称】 住友化学工業株式会社

 【代表者】 香西 昭夫

【代理人】

 【識別番号】 100093285

 【弁理士】

【氏名又は名称】 久保山 隆

【電話番号】 06-6220-3404

【選任した代理人】

【識別番号】 100094477

【弁理士】

【氏名又は名称】 神野 直美

【電話番号】 06-6220-3404

【選任した代理人】

【識別番号】 100113000

【弁理士】

【氏名又は名称】 中山 亨

【電話番号】 06-6220-3404

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第 66743号

【出願日】 平成11年 3月12日

【手数料の表示】

【予納台帳番号】 010238

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9903380

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 3-5族化合物半導体

【特許請求の範囲】

【請求項1】 一般式 $In_uGa_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u + v + w = 1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $In_xGa_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x + y + z = 1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体において、該第2の3-5族化合物半導体のX線ロッキングカーブの(0004)反射の半値幅が、X線の入射方向によらず、700秒以下であることを特徴とする3-5族化合物半導体。

【請求項2】 一般式 $In_uGa_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u + v + w = 1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $In_xGa_yAl_zN$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x + y + z = 1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体において、該パターンの上面と該第2の3-5族化合物半導体が接していないことを特徴とする3-5族化合物半導体。

【請求項3】 パターンがWより形成されてなることを特徴とする請求項1または2記載の3-5族化合物半導体。

【請求項4】 第1の化合物半導体が一般式 $In_uGa_vAl_wN$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0.01 \leq w \leq 1$ 、 $u + v + w = 1$) で表される半導体であることを特徴とする請求項1、2または3記載の3-5族化合物半導体。

【請求項5】 パターンが異なる材料よりなる少なくとも2つの層を積層してなることを特徴とする請求項1、2または4記載の3-5族化合物半導体。

【請求項6】 パターンがWよりなる層と、W以外の材料よりなる層との少な

くとも2つの層を積層してなることを特徴とする請求項5記載の3-5族化合物半導体。

【請求項7】パターンがWよりなる層と、 SiO_2 よりなる層との少なくとも2つの層を積層してなることを特徴とする請求項5または6記載の3-5族化合物半導体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (ただし、 $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$) で表される3-5族化合物半導体に関する。

【0002】

【従来の技術】

一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (ただし、 $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$) で表される3-5族化合物半導体は、3族元素の組成により紫外から赤色に対応する直接型のバンドギャップが調整可能であるため、紫外から可視領域にわたる高効率の発光素子用材料として利用可能である。また、これまで一般に用いられているSiあるいはGaAsなどの半導体に比べて大きなバンドギャップを持つために、従来の半導体では動作できないような高温においても半導体としての特性を有することを利用して、耐環境性に優れた電子素子の作製が原理的に可能である。

【0003】

ところで、該化合物半導体は、融点付近での蒸気圧が非常に高いため、大きな結晶を成長することが非常に難しいので、半導体素子作製のための基板として用いることができるような実用的な大きさの結晶が得られていない。このため、該化合物半導体の作製には、サファイア、SiC等、該化合物半導体と類似の結晶構造をもち、大きな結晶が作製可能な材料を基板として、この上にエピタキシャル成長させるのが一般的である。現在、このような方法を用いることによって、比較的良質な該化合物半導体の結晶が得られるようになっている。しかし、この場合でも、基板材料と該化合物半導体の格子定数、あるいは熱膨張係数の差に由

来する結晶欠陥を低減することが難しく、 10^8 cm^{-2} 程度、あるいはそれ以上の欠陥密度を有するのが一般的である。

【0004】

一方、このような高密度に結晶欠陥を有する該化合物半導体をもとにして、欠陥の密度を低減した該化合物半導体を得る手法が報告されている（Jpn. J. Appl. Phys., 36巻、L899ページ、1997年）。すなわち、欠陥密度が高い該化合物半導体上（以下、下地結晶と呼ぶことがある）を、微細な開口部を残して SiO_2 パターンで覆い、この上にさらに2回目の結晶成長を行なうというものである（以下、2回目の結晶成長を再成長と呼ぶことがある）。図1をもとにこの方法の概略を説明する。

【0005】

まず、再成長初期には、パターン上には結晶成長が起こらず、開口部のみに結晶成長が成長する、いわゆる選択成長が起きる。この段階からさらに結晶成長を続けると、開口部に成長した結晶がパターン上にも広がり、やがてパターンを埋め込んだ構造ができあがる。パターンの埋め込みが生じた直後は再成長による結晶表面には凹凸が残るものの、さらに結晶成長を進めることで、やがて再成長表面の凹凸が小さくなり、最終的には平坦な結晶表面を得ることができる。

【0006】

これまで、上述のような埋め込み構造の作製による該化合物半導体の結晶欠陥の低減法として有効性が報告されているものは、以下の2つの方法である。すなわち、ハイドライド気相成長法（以下、HVPE法と記すことがある）、および有機金属気相成長法（以下、MOVPE法と記すことがある）である。しかし、これらの方法でも、以下に述べるような問題点があった。

【0007】

まず、HVPE法の場合、開口部上に成長した結晶は、下地結晶と結晶方位がそろっているにもかかわらず、パターン上に成長した該化合物半導体は、下地結晶とは若干異なる角度をもって配向することが知られている（Appl. Phys. Lett., 73巻、481ページ、1998年）。このため、パターン上に成長した結晶と開口部上に成長した結晶とは、それらの結晶の方位がそろ

っており、その接合面はいわゆる小傾角粒界であり、そこに多くの刃状転位が存在する。再成長による結晶を厚くするにしたいが、結晶方位が次第に揃うものの、刃状転位が発生しなくなる膜厚は、 $60\mu\text{m}$ 程度かそれ以上必要である。このように厚い膜を成長することには、多くの時間を費やすという問題のほかに、基板結晶との熱膨張係数の差による歪みが大きくなるという問題が発生する。基板内部の歪みは、基板の変形を引き起こし、この変形がさらに結晶成長上の問題、通常の半導体プロセスにおける加工上の問題となる。

【0008】

【発明が解決しようとする課題】

本発明の目的は、小傾角粒界の発生を抑えた高品質の3-5族化合物半導体を提供することにある。

【0009】

【課題を解決するための手段】

このような状況を見て、本発明者らは鋭意検討を行なった結果、上述のような再成長をパターンとその上部に成長する結晶の間の構造を特定のものとし、パターン上と、下地層上に成長する再成長結晶の結晶方位を従来の技術によるものよりも小さな範囲内にそろえることで、従来の問題点を回避できることを見出し、本発明に至った。

【0010】

すなわち、本発明は、(1) 一般式 $\text{In}_u\text{Ga}_v\text{Al}_w\text{N}$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u + v + w = 1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x + y + z = 1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体において、該第2の3-5族化合物半導体のX線ロッキングカーブの(0004)反射の半値幅が、X線の入射方向によらず、700秒以下である3-5族化合物半導体に係るものである。

【0 0 1 1】

また、本発明は、(2) 一般式 $\text{In}_u\text{Ga}_v\text{Al}_w\text{N}$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u + v + w = 1$) で表される第1の3-5族化合物半導体からなる層の上に、前記の第1の3-5族化合物半導体とも異なり、後記の第2の3-5族化合物半導体とも異なる材料からなるパターンを有し、該第1の3-5族化合物半導体と該パターンの上に、一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x + y + z = 1$) で表される第2の3-5族化合物半導体からなる層を有する3-5族化合物半導体において、該パターンの上面と該第2の3-5族化合物半導体が接していない3-5族化合物半導体に係るものである。

さらに、本発明は、(3) パターンがW (タングステン) より形成されてなる前記(1)または(2)に記載の3-5族化合物半導体に係るものである。

【0 0 1 2】

【発明の実施の形態】

次に、本発明の内容を詳細に説明する。

本発明の3-5族化合物半導体においては、該第2の3-5族化合物半導体のX線ロックングカーブの(0 0 0 4)反射の半値幅が、X線の入射方向によらず、700秒以下であることを特徴とする。

また、本発明は、第1の3-5族化合物半導体とも異なり、第2の3-5族化合物半導体とも異なる材料からなるパターン上面と、該パターン上に成長する結晶とが接しないことを特徴とする。現在のところ理由は明らかではないが、パターン上に再成長結晶がほとんど接しないことにより、小傾角粒界の発生が抑えられるものと考えられる。

これまでの例では、パターン上にボイドが発生し、パターンと再成長層の間に空間が生じる例は見られたものの、このような場合でも再成長膜は、まずパターン上にいわゆるオーバーグロースと呼ばれる再成長層とパターンとが接触した成長をした後、ボイドが発生する。これに対して、本発明の場合には、パターン上に再成長層のオーバーグロースがほとんど見られない。

以下、本発明の内容について具体的に説明する。

【0013】

本発明のパターンとして用いることができる材料としては、該化合物半導体の再成長においてある程度の耐久性があるものが好ましい。すなわち、パターンを作製した試料を、再成長の雰囲気、温度において、再成長を開始するまでに蒸発などによる消失や、融解などによる変形を起こすような材料では、目的とする再成長を再現性よく行なうことは難しい。ただし、本発明のパターン上には再成長膜がオーバークロスすることがないため、パターン表面荒れ、下地層からの剥がれなどは、少なくとも再成長の初期段階で生じることがなく、本発明の効果を大きく損なわない場合がある。具体的には、再成長を行なう場合、試料は高温中でアンモニアなどの雰囲気に晒されるが、このような条件に用いることができる材料としては、W（タングステン）、Re（レニウム）、Mo（モリブデン）、Cr（クロム）、Co（コバルト）、Si（珪素）、金、Zr（ジルコニウム）、Ta（タンタル）、Ti（チタン）、Nb（ニオブ）、ニッケル、白金、V（バナジウム）、Hf（ハフニウム）、Pd（パラジウム）などの単体、BN（窒化ホウ素）、 Si_3N_4 などの SiN_x （窒化ケイ素）などが挙げられる。

【0014】

本発明において、パターンが異なる材料よりなる少なくとも2つの層を積層してなるものでもよい。具体的には、パターンがWよりなる層と、W以外の材料よりなる層との少なくとも2つの層を積層してなるものが挙げられる。

さらに、W以外の材料よりなる層として、 SiO_2 など、本発明の構造を作製しにくいもの、再成長条件で安定でないものよりなる層が挙げられる。すなわち、本発明の3-5族化合物半導体として、パターンがWよりなる層と、 SiO_2 よりなる層との少なくとも2つの層を積層してなるものが挙げられる。

【0015】

本発明に用いることができるパターン形状としては、従来より公知のものを用いることができる。具体的には、一般的にライン/スペースと呼ばれる、一定の幅のストライプ状パターンを一定の幅の開口部を隔てて平行に並べたもの、あるいは部分的に、円形状、多角形状に下地を露出させたものなどが挙げられる。これらのパターン形状は、再成長条件、パターンの材質などにあわせて、選んで用

いることができる。

【0016】

ライン／スペースのパターンの場合、パターン部の幅は $0.05\mu\text{m}$ 以上 $20\mu\text{m}$ 以下が好ましい。パターン部の幅が $0.05\mu\text{m}$ より小さい場合、本発明の欠陥密度の低減の効果が顕著でない。また、 $20\mu\text{m}$ より大きい場合、パターンの埋め込みに要する時間が長くなりすぎ、実用的でない。同様な理由で、円形状あるいは多角形状の開口部を有するパターンにおいても、開口部間の距離は $0.05\mu\text{m}$ 以上 $20\mu\text{m}$ 以下が好ましい。

【0017】

ライン／スペースのパターンの場合、スペース部（開口部：下地の露出した部分）の幅は、 $0.01\mu\text{m}$ 以上 $20\mu\text{m}$ 以下が好ましい。スペース部の幅が $0.01\mu\text{m}$ より小さい場合、現状の半導体プロセスでは、実用的に正確な形状で作製することが難しく、好ましくない。また、 $20\mu\text{m}$ より大きい場合、本発明の欠陥の低減の効果が顕著でない。同様な理由で、円形状、あるいは多角形状の開口部を有するパターンにおいても、開口部の大きさは $0.01\mu\text{m}$ 以上、 $20\mu\text{m}$ 以下が好ましい。

【0018】

ライン／スペースのパターン形状の場合、ストライプの方向には特には制限はないものの、ストライプの方向により再成長による欠陥低減の効果が異なる場合がある。このような場合、パターン形状、パターン材質、再成長条件等を考慮して適切なものを選択することができる。

【0019】

パターンの作製方法としては、蒸着法、スパッタ法、化学気相堆積法（CVD法）、メッキ等、公知のものを用いることができる。パターンの膜厚としては、実用的な耐久性と生産性を勘案して決めることができる。Wの場合、 2nm 以上 $5\mu\text{m}$ 以下である。

【0020】

本発明の再成長に用いる結晶成長方法としては、HVPE法またはMOVPE法が挙げられる。HVPE法は、大きな成長速度が得られるため、短時間で良好

な結晶を得ることができ、本発明に好適に用いることができる。また、MOVPE法は、多数の基板に均一性良く結晶成長を行なうことができ、やはり本発明に好適に用いることができる。

【0021】

再成長を行なう条件としては、温度、圧力、キャリアガス、原料などが挙げられる。これらの条件については、従来より公知のものを用いることができる。具体的には、成長温度については、成長する該化合物半導体の物性にも依存するが、Inを構成元素として含まない場合、600℃以上1200℃以下が好ましい。再成長温度が600℃より低い場合、あるいは1200℃より高い場合には、再成長による良好な結晶が得られにくい。また、該化合物半導体がInを構成元素として含む場合、熱的安定性が低下するため、再成長温度は、600℃以上900℃以下が好ましい。

【0022】

本発明における再成長に用いることができる成長圧力としては、100Pa以上が挙げられる。再成長での圧力が100Pa以下の場合、良好な結晶を得ることが難しい。好ましくは500Pa以上、さらに好ましくは1000Pa以上である。なお、成長圧力が高くなるにつれて、結晶性が改善される場合があるが、一般的に結晶成長に用いるMOVPE装置あるいはHVPE装置は、工業的にあまり高い成長圧力で用いないので、再成長における成長圧力は10気圧以下が好ましい。

【0023】

本発明の再成長に用いることができるキャリアガスは、水素、窒素、ヘリウム、アルゴン等、通常のMOVPE、HVPEで用いられているものを用いることができる。

【0024】

MOVPE法による3-5族化合物半導体の製造には、以下のような原料を用いることができる。

3族原料としては、トリメチルガリウム[(CH₃)₃Ga、以下TMGと記すことがある]、トリエチルガリウム[(C₂H₅)₃Ga、以下TEGと記すこと

がある]等の一般式 $R_1R_2R_3Ga$ (ここで、 R_1 、 R_2 、 R_3 は、低級アルキル基を示す)で表されるトリアルキルガリウム; トリメチルアルミニウム [$(CH_3)_3Al$]、トリエチルアルミニウム [$(C_2H_5)_3Al$ 、以下TEAと記すことがある]、トリイソブチルアルミニウム [$(i-C_4H_9)_3Al$]等の一般式 $R_1R_2R_3Al$ (ここで、 R_1 、 R_2 、 R_3 は、低級アルキル基を示す)で表されるトリアルキルアルミニウム; トリメチルアミンアラン [$(CH_3)_3N:AlH_3$] ; トリメチルインジウム [$(CH_3)_3In$ 、以下「TMI」と記すことがある]、トリエチルインジウム [$(C_2H_5)_3In$]等の一般式 $R_1R_2R_3In$ (ここで、 R_1 、 R_2 、 R_3 は、低級アルキル基を示す)で表されるトリアルキルインジウム等が挙げられる。これらは、単独でまたは混合して用いられる。

【0025】

次に、5族原料としては、アンモニア、ヒドラジン、メチルヒドラジン、1,1-ジメチルヒドラジン、1,2-ジメチルヒドラジン、t-ブチルアミン、エチレンジアミンなどが挙げられる。これらは単独でまたは混合して用いられる。これらの原料のうち、アンモニアとヒドラジンは、分子中に炭素原子を含まないため、半導体中への炭素の汚染が少なく好適であり、取り扱いやすさの点でアンモニアが好ましい。

【0026】

3-5族化合物半導体のn型ドーパントとして、Si、Ge、Oが用いられる。この中で、低抵抗のn型をつくりやすく、原料純度の高いものが得られるSiが好ましい。Siのドーピング用の原料としては、シラン(SiH_4)、ジシラン(Si_2H_6)、モノメチルシラン($Si(CH_3)H_3$)などが用いられる。

【0027】

HVPE法による3-5族化合物半導体の製造には、以下のような原料を用いることができる。

3族原料としては、金属Ga、金属In等に塩化水素ガスを反応させ、 $GaCl$ 、 $InCl$ を発生させて用いることができる。また、TMG、TEG等の一般式 $R_1R_2R_3Ga$ (ここで、 R_1 、 R_2 、 R_3 は、低級アルキル基を示す)で表されるトリアルキルガリウム; TMI、トリエチルインジウム等の一般式 $R_1R_2R_3$

In (ここで、 R_1 、 R_2 、 R_3 は、低級アルキル基を示す。)で表されるトリアルキルインジウム等を高温で塩化水素ガスと反応させ、 $GaCl$ 、 $InCl$ 等を発生させて用いることができる。また、ジメチルガリウムクロライド ($Ga(CH_3)_2Cl$)、ジエチルガリウムクロライド ($Ga(C_2H_5)_2Cl$)、ジメチルインジウムクロライド ($In(CH_3)_2Cl$)、ジエチルインジウムクロライド ($In(C_2H_5)_2Cl$)等を高温で分解させ、 $GaCl$ 、あるいは $InCl$ を発生させて用いることもできる。また、常温で安定な、 $GaCl_3$ 、 $InCl_3$ などにキャリアガスをバブリングしてして供給することもできる。これらは、単独でまたは混合して用いられる。

【0028】

次に、5族原料としては、アンモニア、ヒドラジン、メチルヒドラジン、1, 1-ジメチルヒドラジン、1, 2-ジメチルヒドラジン、t-ブチルアミン、エチレンジアミンなどが挙げられる。これらは単独でまたは混合して用いられる。これらの原料のうち、アンモニアとヒドラジンは、分子中に炭素原子を含まないため、半導体中への炭素の汚染が少なく好適であり、取り扱いやすさの点でアンモニアが好ましい。

【0029】

3-5族化合物半導体のn型ドーパントとして、 Si 、 Ge 、 O が用いられる。この中で、低抵抗のn型をつくりやすく、原料純度の高いものが得られる Si が好ましい。 Si のドーピング用の原料としては、モノクロルシラン (SiH_3Cl)、ジクロルシラン (SiH_2Cl_2)などが用いられる。

【0030】

本発明において、パターンの作製条件、再成長条件によっては再成長後に第1の3-5族化合物半導体からなる層の表面に窪みが発生する場合がある。第1の3-5族化合物半導体からなる層を一般式 $In_uGa_vAl_wN$ ($0 \leq In < 1$ 、 $0 \leq v < 1$ 、 $0 < w \leq 1$ 、 $v + w = 1$)で表わされる3-5族化合物半導体とすることでこのような窪みの発生を抑えられる場合がある。具体的な、 AlN の混晶比(上記一般式における u の値)としては、1%以上、好ましくは5%以上が挙げられる。具体的な第1の3-5族化合物半導体層の層厚の範囲は、 0.3 nm

m以上、好ましくは1 nm以上が挙げられる。ただし、一般的に第1の3-5族化合物半導体層のAlN混晶比あるいは層厚が大きくなるにつれて、再成長における窪みの発生を抑える効果が大きくなるが、同時に第1の3-5族化合物半導体の結晶性が低下する傾向があるため、第1の3-5族化合物半導体の層の膜厚はAlNの混晶比に応じて調整する必要がある。

【0031】

【実施例】

実施例1、比較例1

まず下地結晶を次のようにして作製した。基板であるサファイア上に、MOVPE法によりバッファ層としてGa₂Nを550℃で50 nm成長し、さらにGa₂Nを約1100℃で4 μm成長した。この下地結晶に、Wをスパッタ法により30 nm成膜し、通常の写真リソグラフィ法を用いて、開口部5 μm、パターン部5 μmのストライプ状パターンを作製した。ストライプの方向は<1-100>方向である。次に、この結晶を用いてHVPE法により再成長を33 μm行なった。また、比較例1として、WのかわりにSiO₂を用いてパターンを作製し、同様の再成長を行なった。いずれも、再成長により得られた結晶は鏡面状の表面であった。

【0032】

こうして得られた結晶の方位のばらつきを調べるため、X線ロックングカーブをストライプと平行方向および垂直方向について測定した。図2にその結果を示す。Wパターン上に再成長した場合、X線の入射方向によらず、ロックングカーブの半値幅は200秒以下で一定であり、結晶方位のばらつきが見られない。これに対して、SiO₂をパターンとするものでは、パターンストライプと平行方向ではロックングカーブの半値幅は小さいのに対して、ストライプと垂直方向では、半値幅が750秒以上にまで増大する。このことは、パターン上に再成長した結晶が、下地結晶に比べて結晶方位がばらついていることを示しており、Wパターンに比べて結晶性が十分でないことがわかる。

実施例1で得られた試料をパターンと垂直方向に劈開を行ない、断面を透過電子顕微鏡により観察したところ、再成長膜はWパターン上にはオーバーグロース

していないことが確認できた。

【0033】

実施例 2

実施例 1 と同様にして、本発明による欠陥の低減された GaAlN 膜を、ストライプ状パターンを有するパターン上に再成長により作製する。この GaAlN 膜上に、さらに適切な層を積層し、エッチング、電極形成等の半導体プロセスを繰り返し、HEMT（高電子移動度トランジスタ）、FET（電界効果型トランジスタ）等の電子素子を得る。これらの電子素子は、素子として機能する結晶中に含まれる結晶欠陥が低減されているため、電気的特性、信頼性に優れている。

【0034】

実施例 3

実施例 1 と同様にして、本発明による欠陥の低減された GaAlN 膜を、ストライプ状パターンを有するパターン上に再成長により作製する。この GaAlN 膜上に、さらに該化合物半導体により構成される、n 型層、これよりバンドギャップの小さい層（発光層）、p 型層の各層を順次積層し、エッチング、電極形成等の半導体プロセスを行い、発光ダイオード（LED）、半導体レーザ（LD）等の発光素子を得る。これらの発光素子は、素子として機能する結晶中に含まれる結晶欠陥が低減されているため、発光特性、信頼性、特に寿命の点で優れている。

【0035】

実施例 4

実施例 1 と同様に GaN を $4\ \mu\text{m}$ 成長し、さらにこの上に GaAlN を成長した。この層の AlN 混晶比は、約 15%、厚みは $30\ \text{nm}$ である。この上に W を電子ビーム蒸着により $20\ \text{nm}$ 成膜し、通常のリソグラフィ法を用いてストライプ状パターンを作製した。ストライプ方向は、 $\langle 1-100 \rangle$ 方向、ストライプ幅およびストライプ間隔は、いずれも $5\ \mu\text{m}$ である。次に、MOVPE 法により再成長を行なった。成長圧力は、 $40\ \text{kPa}$ 、再成長層の厚みは、 $3\ \mu\text{m}$ である。再成長により得られた結晶の表面は、鏡面状であった。

実施例 1 および本実施例で得られた試料をストライプパターンと垂直方向に劈

開を行い、断面を走査電子顕微鏡で観察したところ、実施例 1 で得られた試料には下地結晶に損傷が確認できるものがあったが、本実施例で得られた試料では下地結晶に損傷は確認されなかった。

【0036】

実施例 5

実施例 1 と同様に GaN を $4\ \mu\text{m}$ 成長した。この下地結晶に SiO_2 をスパッタ法により $50\sim 70\ \text{nm}$ 成膜し、引き続きタングステン (W) をスパッタ法により $50\ \text{nm}$ 成膜した。これに通常のリソグラフィ法を用いてストライプパターンを作製した。ストライプ方向は、 $\langle 1-100 \rangle$ および $\langle 11-20 \rangle$ 方向である。次に、常圧 MOVPE 法により再成長を行なった。再成長膜の厚みは、約 $8\ \mu\text{m}$ である。こうして得られた試料および実施例 1 で得られた試料をストライプ方向と垂直方向に劈開し、断面を走査型電子顕微鏡で観察したところ、実施例 1 の試料の場合、マスク下部に窪みの発生した部分が見られたが、本実施例の試料では、窪みの発生は大幅に減少していた。

【図面の簡単な説明】

【図 1】従来のパターン上の再成長の様子を示す図。

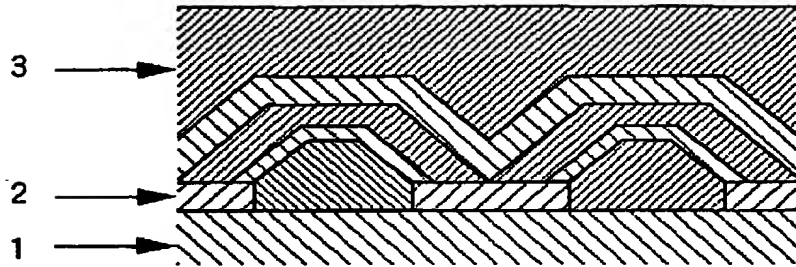
【図 2】実施例 1 および比較例 1 における入射方向の異なる X 線ロックングカーブを示す図。

【符号の説明】

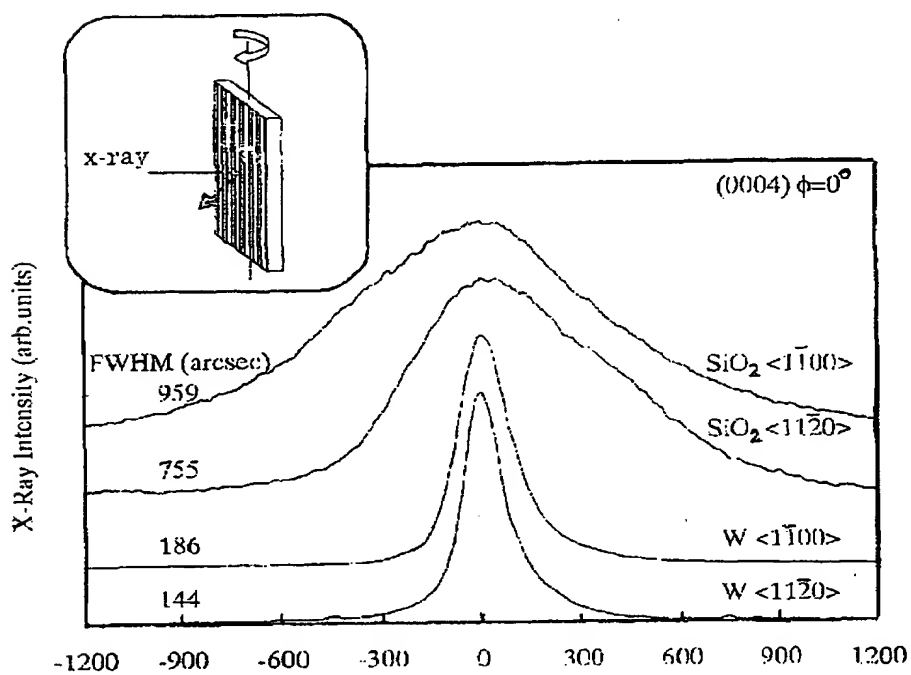
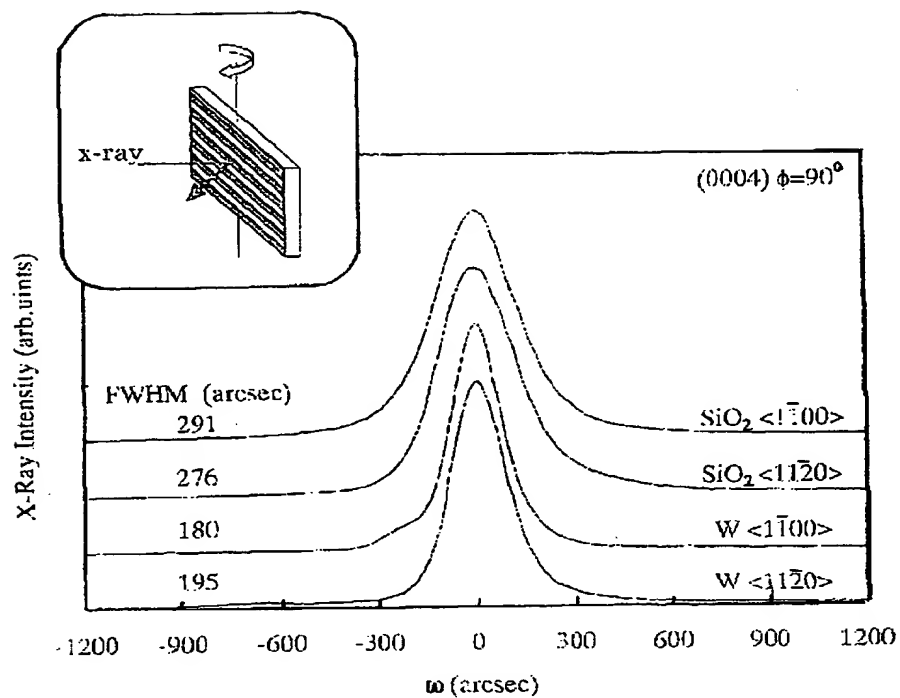
- 1... 第 1 の 3-5 族化合物半導体からなる層 (下地層)
- 2... 第 1 の 3-5 族化合物半導体とも異なり、第 2 の化合物半導体とも異なる材料からなるパターン
- 3... 第 2 の 3-5 族化合物半導体からなる層 (再成長層)

【書類名】 図面

【図 1】



【図2】



【書類名】 要約書

【要約】

【課題】 小傾角粒界の発生を抑えた高品質の 3-5 族化合物半導体を提供する。

【解決手段】 一般式 $\text{In}_u\text{Ga}_v\text{Al}_w\text{N}$ (式中、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq w \leq 1$ 、 $u + v + w = 1$) で表される第 1 の 3-5 族化合物半導体からなる層の上に、前記の第 1 の 3-5 族化合物半導体とも異なり、後記の第 2 の 3-5 族化合物半導体とも異なる材料からなるパターンを有し、該第 1 の 3-5 族化合物半導体と該パターンの上に、一般式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $x + y + z = 1$) で表される第 2 の 3-5 族化合物半導体からなる層を有する 3-5 族化合物半導体において、該第 2 の 3-5 族化合物半導体の X 線ロッキングカーブの (0004) 反射の半値幅が、X 線の入射方向によらず、700 秒以下である 3-5 族化合物半導体。

【選択図】 図 1

出 願 人 履 歷 情 報

識別番号 [000002093]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府大阪市中央区北浜4丁目5番33号
氏 名	住友化学工業株式会社